



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07120720

(43)Date of publication of application: 12.05.1995

(51)Int.Cl.

G02F 1/133
G02F 1/136
G09G 3/36
H01L 29/786

(21)Application number: 05005534

(71)Applicant:

SHARP CORP

(22)Date of filing: 18.01.1993

(72)Inventor:

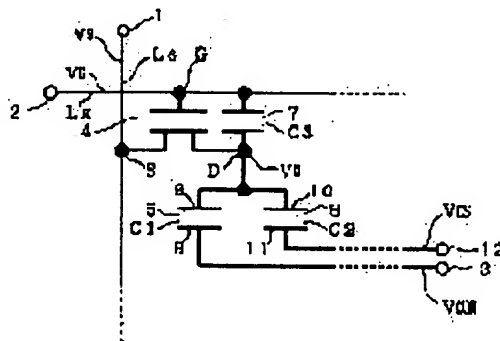
HASHIMOTO TAKAHARU
TANAKA HIDEKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide the liquid crystal display device capable of completely compensating the fluctuation in the voltage applied to a liquid crystal.

CONSTITUTION: A compensation voltage VCOM is applied via a terminal 3 to an electrode 9 of the liquid crystal 5. A regulating voltage VCS is applied via a terminal 12 to an electrode 11 of an auxiliary capacitance 6. A TFT 4 attains an on-state and a drain voltage VD is charged to the electrode 8 of the liquid crystal 5 and the electrode 10 of the auxiliary capacitance 6 until the voltage converges to a source voltage VS. The drain voltage VD intrinsically converged to the voltage VS fluctuates by receiving the influence of a coupling capacitance 7 when the TFT 4 attains an off-state but this influence is suppressed and the fluctuation is decreased to '0' by applying the prescribed regulation voltage VCS.



Japanese Publication for Laid-Open Patent Application

No. 120720/1995 (Tokukaihei 7-120720)

A. Relevance of the Above-identified Publication

This publication has relevance to claim 1 of the present invention.

B. Translation of the Relevant Passages of the Publication

[0011]

At the time " , " the source voltage V_s falls from $+V_{ss}$ to $-V_{ss}$ as shown in Figure 6(a), and the gate voltage V_g simultaneously falls from V_{GH} to V_{GL} as shown in Figure 6(b). Here, the TFT 4 becomes in an OFF state, and the charging of the capacitors C1, C2, and C3 finishes. At this instant, the drain voltage V_D drops by a certain value from the voltage level V_{ss} as shown in Figure 6(c). Since the value by which the voltage actually drops is equal to $\gamma \cdot \Delta V_g$ which is in the formula (1), the following can be inductively proved: at the time " , " the drain voltage V_D , influenced by the coupled capacitor 7, drops by $\gamma \cdot \Delta V_g$ so as to satisfy the formula (1), from the voltage level $+V_{ss}$ to which the drain voltage V_D has been converged, and the voltage $(V_{ss} - \gamma \cdot \Delta_g)$ consequently obtained is held by the electrode 8.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-120720

(43) 公開日 平成7年(1995)5月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
1/136	5 0 0			
G 0 9 G 3/36				
H 0 1 L 29/786				
	9056-4M		H 0 1 L 29/ 78	3 1 1 A
			審査請求	未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平5-5534

(22) 出願日 平成5年(1993)1月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 橋本 隆治

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 田中 秀樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

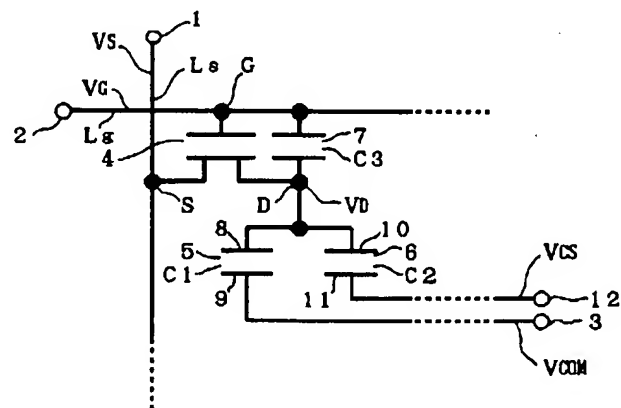
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 液晶印加電圧の変動を完全に補償できる液晶表示装置を提供する。

【構成】 液晶5の電極9には、端子3を介して補償電圧V_{COM}が印加されている。補助容量6の電極11には、端子12を介して調整電圧V_{CS}が印加されている。TFT4がオン状態になり、ドレイン電圧V_Dはソース電圧V_Sに収束するまで、液晶5の電極8及び補助容量6の電極10に充電される。TFT4がオフ状態になると、本来ソース電圧V_Sに収束したドレイン電圧V_Dが結合容量7の影響を受け変動するが、所定の調整電圧V_{CS}を与えることによりこの影響を押え変動を「0」とする構成。



V_s の値が、 $-V_{ss}$ から $+V_{ss}$ に立ち上がり、同時に図 6 (b) のゲート電圧 V_g が V_{GL} から V_{GH} に立ち上がる。このとき、TFT4 はオン状態となり、容量 C_1 、 C_2 、 C_3 の充電が開始される。このため、ドレイン電圧 V_D は充電初期では低く、充電に伴い上昇していく。そして、時刻 i までには図 6 (c) のようにドレイン電圧 V_D はソース電圧 V_s の電圧値 $+V_{ss}$ に収束する。

【0011】時刻 i において、図 6 (a) のソース電圧 V_s の値が、 $+V_{ss}$ から $-V_{ss}$ に立ち下がり、同時に図 6 (b) のゲート電圧 V_g が V_{GH} から V_{GL} に立ち下がる。このとき TFT4 はオフ状態となり、容量 C_1 、 C_2 、 C_3 の充電が終了する。この瞬間図 6 (c) のようにドレイン電圧 V_D の値は電圧値 $+V_{ss}$ からある電圧値だけ減少する。実際にこの減少した電圧値は、(1) 式における $\gamma \cdot \Delta V_g$ に等しくなることから、帰納的に考えるとこの時刻 i において、結合容量 7 の影響を受け、(1) 式を満たすようにドレイン電圧 V_D の値は一旦収束した電圧値 $+V_{ss}$ から $\gamma \cdot \Delta V_g$ だけ下がり、その電圧 ($V_{ss} - \gamma \cdot \Delta V_g$) が電極 8 に保持されることが実証される。

【0012】時刻 u を経て時刻 e における瞬間においても、図 6 (c) のようにドレイン電圧 V_D の値は一旦収束した電圧値 $-V_{ss}$ からある電圧値だけ減少する。実際にこの減少した電圧値は、(1) 式における $\gamma \cdot \Delta V_g$ に等しいことから同様に、この時刻 e において、結合容量 7 の影響を受け、(1) 式を満たすようにドレイン電圧 V_D の値は一旦収束した電圧値 $-V_{ss}$ から $\gamma \cdot \Delta V_g$ だけ下がり、その電圧 ($-V_{ss} - \gamma \cdot \Delta V_g$) が電極 8 に保持されることが実証される。すなわち、時刻 i 、 e のように TFT4 がオフ状態に切り換わる瞬間には、ドレイン電圧 V_D の値は一旦収束したソース電圧 V_s の値から ($-\gamma \cdot \Delta V_g$) だけ変動し (1) 式のとおりの ($V_s - \gamma \cdot \Delta V_g$) と成る。

【0013】結果的に、液晶 5 には一方の電極 8 にドレイン電圧 $V_D = (V_s - \gamma \cdot \Delta V_g)$ 、他方の電極 9 に補償電圧 V_{COM} が印加されるので、その差 ($V_D - V_{COM}$) = ($V_s - \gamma \cdot \Delta V_g - V_{COM}$) が液晶印加電圧 V_{LCD} となり、これにより液晶 5 の液晶層の透過率が決定される。

【0014】容量 C_1 の最大値を 2 pF 、容量 C_2 を 7 pF 、容量 C_3 を 1 pF と仮定する。このとき、液晶 5 の容量 C_1 、透過率 T と液晶印加電圧 V_{LCD} との関係を表したグラフを図 7 に示す。図 7 に基づいて、容量比 γ と液晶印加電圧 V_{LCD} との関係についてグラフに表したものを図 8 に示す。

【0015】計算から容量 C_1 が 2 pF の場合容量比 γ は $C_3 / (C_1 + C_2 + C_3)$ であるので 0.1 となり、容量 C_1 が 0 pF の場合容量比 γ は 0.125 となり、他の場合も同様に計算すると図 7 を基に図 8 のグラフを描くことができる。ゲート電圧の最大値 V_{GH} を 10

V とし最小値 V_{GL} を -10 V とするとその差 ΔV_g は 20 V であるので、 $\gamma \cdot \Delta V_g$ の値は最大値が 2.5 V 、最小値が 2 V となる。

【0016】液晶印加電圧 V_{LCD} ($= V_D - V_{COM}$) の値は ($V_s - \gamma \cdot \Delta V_g - V_{COM}$) である。仮に補償電圧 V_{COM} を不用意に接地し 0 V と設定すると、液晶印加電圧 V_{LCD} のとりうる最大値は ($V_{ss} - \gamma \cdot \Delta V_g$) となり (図 7 の点 X)、透過率 T の最大値が、本来の最大値の 90% しか得られなくなりコントラストが低下する。

【0017】従って、液晶 5 の液晶層の透過率 T の選択幅を広く取るためには、液晶印加電圧 V_{LCD} を常にソース電圧 V_s (最大値 V_{ss} 、最小値 $-V_{ss}$) に等しくする必要が生じる (図 7 の点 Y)。このため、補償電圧 V_{COM} の値を $-\gamma \cdot \Delta V_g$ に等しい一定の電圧値 (図 8 において -2.0 V) として予め設定し、上記のドレイン電圧 V_D の変動による画像への影響を抑さえる工夫が成されていた。

【0018】

【発明が解決しようとする課題】しかし、補償電圧 V_{COM} の値を一定の電圧値 ($-\gamma \cdot \Delta V_g$) に予め設定し、($-\gamma \cdot \Delta V_g - V_{COM}$) の項が「0」に成るようにすることで液晶印加電圧 V_{LCD} の値をソース電圧 V_s に等しくしても、動作途上液晶 5 の容量 C_1 が図 7 に示すように変化すると連鎖して、容量比 γ の値も図 8 のように変動するため、恒常的に液晶印加電圧 V_{LCD} の値がソース電圧 V_s に等しくはならないので、完全に補償することは不可能となる。さらに、ドレイン電圧 V_D の変動 ($-\gamma \cdot \Delta V_g$) が 1 フィールド期間残ったままであるので、デジタル画像の場合には画像中に「焼付け残像」の現像が生じ、上記の工夫だけでは各表示画素の映像の信頼度は低いものとなる。

【0019】本発明は、このような問題点に鑑みて成されたものであり、液晶印加電圧の変動を完全に補償できる液晶表示装置を提供することを目的とする。

【0020】

【課題を解決するための手段】上記目的を達成するため、本発明の液晶表示装置は、ゲート、ソースをそれぞれ走査電極線、信号電極線と接続し、ドレインを液晶及び補助容量の一方の電極に接続した薄膜トランジスタを有する複数の液晶表示画素をマトリクス状に配したものであって、走査電極線を順次選択し駆動するゲート電圧と同期して調整電圧を生成し、該調整電圧を前記補助容量の他方の電極に与えることを特徴とする。

【0021】さらに、前記調整電圧は非選択時に比して選択時には、ゲートドレイン間結合容量によるドレイン電圧変動が補償されるように変動するものであることを特徴とする。あるいは、前記液晶の他方の電極は接地されており、前記調整電圧は非選択時に比して選択時には、補助容量に対するゲートドレイン間結合容量の割

式を満たすように変動して ($V_{SS} - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) となる。ここで、予め ($-\gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) の項が「0」となるように ΔV_{CS} ($= V_{CSH} - V_{CSL}$) を設定しこれに基づいて調整電圧 V_{CS} (最大値 V_{CSH} 、最小値 V_{CSL}) を生々すれば、ドレイン電圧 V_D の値が変動しても、変動後の ($V_{SS} - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) が図3 (d) のように $+V_{SS}$ に等しいままとすることができる。

【0034】時刻ウを経て時刻エにおける瞬間においても、結合容量7の影響を受け、電圧値 $-V_{SS}$ に一旦収束したドレイン電圧 V_D の値は (2) 式を満たすように変動して ($-V_{SS} - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) となる。ここで同様に調整電圧 V_{CS} を生々すれば、ドレイン電圧 V_D の値が変動しても、変動後の ($V_{SS} - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) が図3 (d) のように $-V_{SS}$ に等しいま

$$\Delta V_{CS} = (\gamma / \alpha) \cdot \Delta V_G = (C_3 / C_2) \cdot \Delta V_G \quad \dots (3)$$

この調整電圧 V_{CS} を図3 (c) のように図3 (b) のゲート電圧 V_G に同期させて、補助容量6の電極11に供給すれば、液晶印加電圧 V_{LCD} を常時正確にソース電圧 V_S と等しくすることができる。

【0037】従って、図6 (c) に示した従来のドレイン電圧 V_D のように $\gamma \cdot \Delta V_G$ の変動が1フィールド期間ずっと残ることが無くなり、「焼付け残像」現象が起こらなくなる。また、液晶印加電圧 V_{LCD} のとりうる最大値、最小値はそれぞれ V_{SS} 、 $-V_{SS}$ となり (図7の点Y)、透過率 T を最大の100%とすることができる。さらに、液晶5の液晶層の透過率 T の選択幅を広く取るために、液晶5の電極9に印加するある電圧値の補償電圧 V_{COM} を生成してその値を一定に設定する等の他の工夫も一切不要となる。

【0038】次に、上述した複数の液晶表示画素をマトリクス状に配した TFT アクティブマトリクス型液晶表示装置のブロック回路図を図9に示し、このときのタイムチャートを図10に示して、その駆動方法について説明する。図9に示すように、複数の液晶表示画素が1本の走査電極線 L_g 上に複数横方向に並び1走査線を形成しさらにこの走査線が複数縦方向に並び1画面を形成している。

【0039】図9において、上から第 i 番目の各走査線上に並ぶ複数の液晶表示画素の補助容量6の電極11はすべて端子12 (i) に接続されている。また、上から第 $(i+1)$ 番目、第 $(i+2)$ 番目の各走査線上に並ぶ複数の液晶表示画素の補助容量6の全電極11もまた12 (i+1)、12 (i+2) に接続されており他も同様である。全液晶表示画素の液晶5の電極9はすべて端子3を介して駆動回路 (図示せず) から補償電圧 V_{COM} が印加される。補償電圧 V_{COM} は簡単のため0Vに設定しても差し支えない。ソースドライバ13は、端子1を介して図10 (a) に示すソース電圧 V_S を信号電極線 L_s に印加する。

とすることができる。

【0035】結果的に、液晶5の一方の電極8にドレイン電圧 V_D ($= V_S - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) が印加され、他方の電極9に補償電圧 V_{COM} が印加されるので、その差 ($V_D - V_{COM}$) ($= (V_S - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS} - V_{COM})$) が液晶印加電圧 V_{LCD} となり、これにより液晶5の液晶層の透過率が決定される。

【0036】仮に補償電圧 V_{COM} の設定を0Vと想定すると、液晶印加電圧 V_{LCD} の値は ($V_S - \gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) となる。また容量比 γ の値は、液晶5の容量 C_1 が変化すると連鎖して変動するが、($-\gamma \cdot \Delta V_G + \alpha \cdot \Delta V_{CS}$) の項を「0」と成す次の (3) 式を満たす ΔV_{CS} に基づいて調整電圧 V_{CS} (最大値 V_{CSH} 、最小値 V_{CSL}) を容易に生成できる。

【0040】ゲートドライバ14は、各走査電極線 L_g (i)、 L_g (i+1)、 L_g (i+2) にソース電圧 V_S に同期するゲート電圧 V_G (i)、 V_G (i+1)、 V_G (i+2) をそれぞれ与えている。図10 (b)、(c)、(d) に示すように、ゲート電圧 V_G (i)、 V_G (i+1)、 V_G (i+2) の各々は、1水平走査期間 (1H) ごとに順次パルス期間が切り換わり、各走査電極線 L_g (i)、 L_g (i+1)、 L_g (i+2) は上から順次駆動状態となる。同様に他の走査電極線も順次駆動状態となる。

【0041】駆動回路 (図示せず) は、ゲート電圧 V_G (i) に同期させて図10 (e) に示すように (3) 式を満足する調整電圧 V_{CS} (i) を生成し、これを端子12 (i) を介して、上から第 i 番目の走査線上に並ぶ複数の液晶表示画素にある補助容量6の電極11に対して印加する。引続いて、駆動回路 (図示せず) は同様に、ゲート電圧 V_G (i+1)、 V_G (i+2) の各々に同期させて図10 (f)、(g) に示すように (3) 式を満足する調整電圧 V_{CS} (i+1)、 V_{CS} (i+2) をそれぞれ生成し、これら各々を端子12 (i+1)、12 (i+2) を介して、上から第 $(i+1)$ 番目、第 $(i+2)$ 番目の各走査線上に並ぶ複数の液晶表示画素にある補助容量6の電極11に対して印加する。その結果、図10 (h)、(i)、(j) に示すように、ドレイン電圧 V_D (i)、 V_D (i+1)、 V_D (i+2) の各々は、1水平走査期間毎に順次ソース電圧 V_S に収束する。同様にして、他の液晶表示画素においてもドレイン電圧 V_D はソース電圧 V_S に収束する。

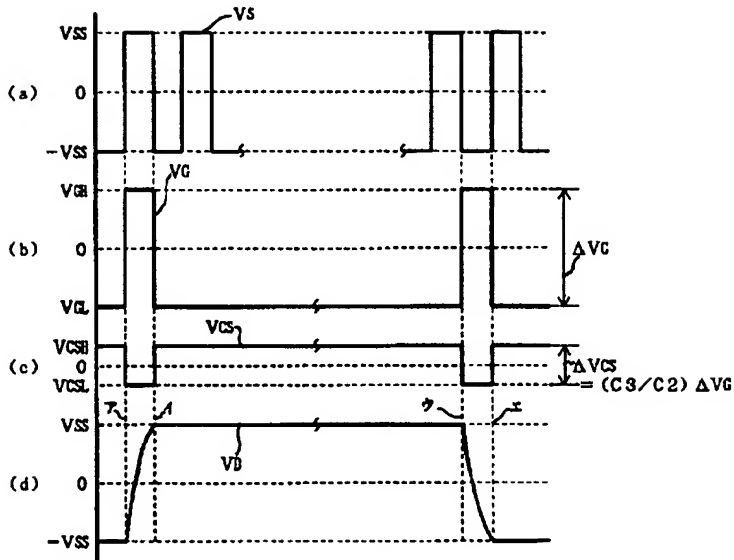
【0042】

【発明の効果】以上説明したように本発明によれば、TFT オフ時に TFT のゲートとドレイン間の結合容量の影響を受けて、ソース電圧に収束したドレイン電圧が変動することが無いので、焼付け残像現象が起こらず表示品位が向上する。

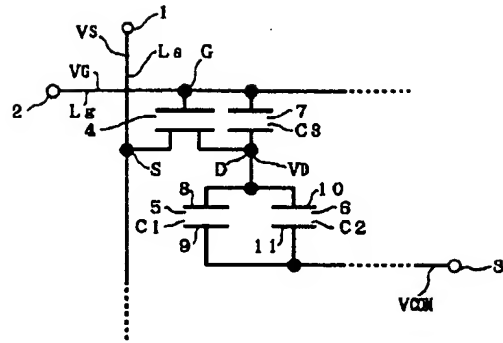
【図面の簡単な説明】

【図1】 本発明を実施した TFT アクティブマトリク

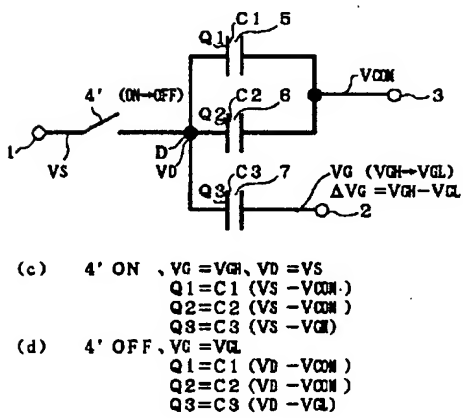
【図3】



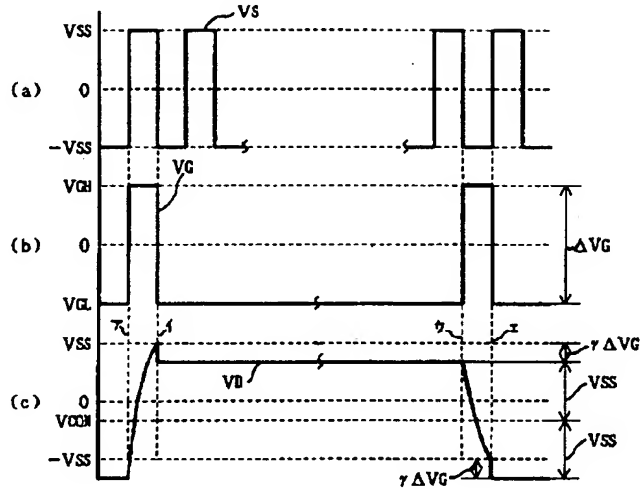
【図4】



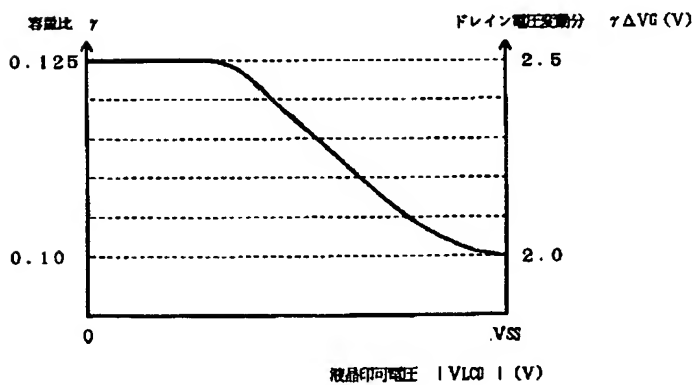
【図5】



【図6】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.